

BIT ERROR MEASURER

Patent Number: JP8088569
Publication date: 1996-04-02
Inventor(s): YANAGIMOTO YOSHIYUKI;; HATTA HIDEAKI
Applicant(s): HEWLETT PACKARD JAPAN LTD
Requested Patent: ☐ JP8088569
Application Number: JP19940247136 19940914
Priority Number(s):
IPC Classification: H03M13/00; G11B20/18; G11B20/18; H04L1/00
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide a measuring means which adopts a method, which accurately measures the bit error of a signal requiring Viterbi decoding over a wide range in real time, and doesn't require a considerably large number of sample values even in the case of a low bit error rate.

CONSTITUTION: This measurer consists of an A/D conversion means 1, a Viterbi decoding means 2, and a bit error measuring means 3. The input signal sampled by the A/D conversion means 1 is decoded in real time by the Viterbi decoding means 2 and is compared with a bit string free from error by the bit error measuring means 3, and error is discriminated and counted. Since it is unnecessary to store input data, measurement is performed in real time, and the storage capacity is not restricted. The clock used for processings of the A/D conversion means, the Viterbi decoding means, and the bit error discriminating means is generated by a synchronizing signal generation means 4 or is supplied from the outside.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-88569

(43) 公開日 平成8年(1996)4月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/00		8730-5K		
G 1 1 B 20/18	5 0 1 Z	8940-5D		
	5 3 4 A	8940-5D		
H 0 4 L 1/00	C			
// H 0 3 M 13/12		8730-5K		

審査請求 未請求 請求項の数1 F D (全 4 頁)

(21) 出願番号 特願平6-247136

(22) 出願日 平成6年(1994)9月14日

(71) 出願人 000121914

日本ヒューレット・パッカード株式会社

東京都八王子市高倉町9番1号

(72) 発明者 柳本 吉之

東京都八王子市高倉町9番1号 横河・ヒ

ューレット・パッカード株式会社内

(72) 発明者 八田 秀明

東京都八王子市高倉町9番1号 横河・ヒ

ューレット・パッカード株式会社内

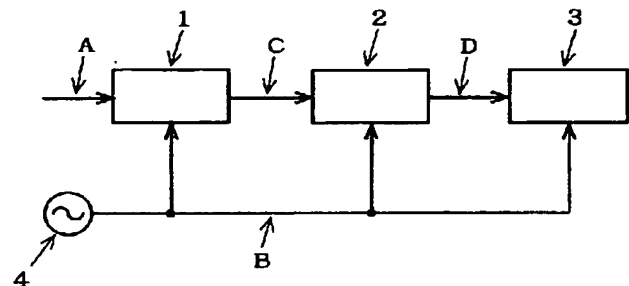
(74) 代理人 弁理士 上野 英夫

(54) 【発明の名称】 ビット誤り測定器

(57) 【要約】

【目的】 ビタビ複合を必要とする信号のビット誤りを、正確に、実時間で、広い範囲にわたり測定できる方法で、かつビット誤り率が低い場合でも膨大な数の標本値を必要としない測定手段を提供する。

【構成】 A/D変換手段1、ビタビ復号する手段2、ビット誤り測定手段3から構成される。A/D変換手段1で標本化された入力信号を、ビタビ復号する手段2により実時間で復号し、ビット誤り測定手段3で誤りのないビット列と比較して誤りを判定し、計数する。入力データを記憶する必要がないので、実時間で測定でき、また記憶容量の制約はない。A/D変換手段、ビタビ復号する手段、ビット誤り判定手段の処理に用いられるクロックは、同期信号発生手段4を備えて発生するか、外部から供給される。



【特許請求の範囲】

【請求項 1】 入力信号を標本化する A/D 変換手段と、該 A/D 変換手段で標本化された信号を実時間でビタビ復号する手段と、該ビタビ復号手段で復号された信号のビット誤りを測定する手段を有することで、ビタビ復号を必要とする入力信号のビット誤りを実時間で測定することを特徴とするビット誤り測定器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル記録やデジタル通信の分野において用いられるビット誤り測定器に関するものである。

【0002】

【従来の技術】 パーシャルレスポンス等化されたデジタル記録装置の読みだし信号や、畳み込み符号化されたデジタル通信機器の受信信号などは、ビット誤り率を低く押さえるためにビタビ復号をすることが多い。以下パーシャルレスポンスを PR と記す。図 5 に信号の例を示して詳述する。図の信号 E は元の信号のビット列である。なお、信号波形に記す小さな縦の線は信号ではなく、ビットのクロック間隔を示す印である。信号 E が PR 等化されてデジタル記録装置で読みだされると、図 5 の A に示すような信号になる。図の A はビット誤りのない場合の信号を示しているが、該信号のビット誤りを測定する場合には次のような問題がある。該信号 A を標本化すると図 5 の C の丸点の列で示すような標本化データ列になる。なお図の点線は信号 A との関係を示すための補助線である。標本化データの中で、F と G は 0 と 1 のどちらでもない。ところが、通常のビット誤り測定器は、入力信号が 2 値信号であることを前提としているので、標本 F と G を無理やり 0 か 1 のどちらかにして測定する。従って、標本化データ列 C のような 2 値以外の信号を含むビット列に対しては、ビット誤りを正しく測定することができないのである。

【0003】 そこで、ビタビ復号を必要とする信号のビット誤りを正しく測るために、従来の測定器は図 6 に示す構成を採っている。この方法は、入力信号 A を A/D 変換手段 1 で標本化し、標本化された信号 C を標本値の記憶手段 9 に蓄え、該記憶されたデータを読み出し、計算する手段 10 によってビタビ復号を行なった後、該計算手段によってビット誤りを計算で求めるのである。標本化には、図 7 および図 8 の方法が用いられている。図 7 では、入力信号 A のビットに同期して 1 ビットにつき 1 標本を採り、標本化された信号 Ca を得る。図 8 では、同期を考えず、ビット頻度よりも十分高い頻度で標本化し、標本化された信号 Cb を得ている。

【0004】 次に従来技術の他の例を示す。図 9 は、標本化された信号をビタビ復号手段 2 で復号する。該復号された信号 D を符号化手段 11 により再度符号化し、これをビット誤り検出手段 7 により入力信号 C と比較する

ことで簡易的にビット誤りを見積るようにしている。しかしこの方法は、誤りを含まないビット列と比較していないので厳密な意味でのビット誤りを測定していない。

【0005】 また図 10 は、簡易復号手段 12 により入力信号 C に対し畳み込みの逆演算を行なってビット列を簡易的に復号したものと、ビタビ復号手段 2 で復号されたビット列 D とをビット誤り検出手段 7 により比較して、簡易的にビット誤りを見積っている。しかしこれも誤りを含まないビット列と比較していないので厳密な意味でのビット誤りを測定していない。

【0006】

【発明が解決しようとする課題】 図 6 の方法のように、標本化された信号 C を一度記憶手段 9 に蓄えてから計算でビタビ復号する従来の方法は、ビット誤り率の低い場合に膨大な数の標本値が必要なため記憶手段 9 の記憶容量の制限により正確な測定ができない、という制約があった。また、実時間測定ができないので、測定に時間がかかり研究開発の効率を悪くしていた。本発明は、上記の課題を解決し、ビタビ復号を必要とする信号のビット誤り測定を、広範囲なビット誤り率においても短時間で正しく測定できる手段を提供するためのものである。

【0007】

【課題を解決するための手段】 図 1 に示すように、入力信号 A を標本化するための A/D 変換手段 1 と標本化された信号 C を実時間でビタビ復号するビタビ復号手段 2 とビット誤り測定手段 3 を構成要素とする。

【0008】

【作用】 ビタビ復号を必要とする入力信号 A を A/D 変換手段 1 で標本化した後、ビタビ復号手段 2 で実時間で復号する。ビタビ復号手段 2 で復号されたビット列 D と誤りを含まないビット列とをビット誤り測定手段 3 が比較し、誤りを判定して誤り数等を計数する。

【0009】

【実施例】 図 1 は本発明の一実施例を示す構成図である。図 2 に図 1 の各信号を示す。なお従来技術と同様の機能を有する素子および信号には同じ参照番号を付してある。デジタル記録媒体からの読みだし信号やデジタル通信の受信信号のベースバンド信号は、利得および直流成分を制御する手段によって、ビタビ復号のために適正な入力範囲に制御され、A/D 変換手段 1 への入力信号 A となる。入力信号 A は A/D 変換手段 1 によって標本化され、信号 C になる。A/D 変換およびその後の処理のための同期信号 B は、同期信号発生手段 4 により入力信号から同期信号を抽出して与えられる場合と、外部入力された同期信号を用いる方法とがある。

【0010】 A/D 変換手段 1 により標本化された信号 C はビタビ復号手段 2 に入力され、所定の復号が施される。復号されたビット列 D は、ビット誤り測定手段 3 に送られる。ビット誤り測定手段 3 の構成を図 3 および図

3

4に示す。図3では、誤りを含まないビット列が記憶手段5に蓄えられている。該記憶手段に蓄えられている誤りを含まないビット列と復号されたビット列Dとをビット誤り検出手段7で比較して誤りの有無を検出する。誤りがあればその情報を計数手段8に送る。また、図4では、誤りを含まないビット列を生成する手段6により生成された誤りを含まないビット列と、復号されたビット列Dとをビット誤り検出手段7で比較して誤りの有無を検出し、誤りがあればその情報を計数手段8に送る。

【0011】復号された信号に誤りが検出された場合は、計数手段8により誤り数が数えられ、記憶される。また別に設けられた計数手段が比較されたすべてのビット数を数えておくことで、ビット誤り率を求めることができる。以上に本発明の実施例を示したが、例示の様式、配置、その他を限定するものでなく、必要に応じて本発明の要旨を失うことなく構成の変形も許容される。

【0012】

【発明の効果】デジタル記録媒体からの読みだし信号や、畳み込み符号化されたデジタル通信信号など、ビタビ復号を必要とする信号のビット誤りの測定において、ビット誤り測定手段3の前段にビタビ復号手段2を備えてビタビ復号されたビット列Dのビット誤りを短時間で測定することによって、ビタビ復号を必要とする信号のビット誤りを実時間で測定することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す構成図である。

【図2】図1の構成における各信号を示す図である。

【図3】ビット誤り測定手段の構成の例を示す図である。

【図4】ビット誤り測定手段の構成の例を示す図である。

【図5】PR等化された信号の例を示す図である。

4

【図6】従来技術の例を示す図である。

【図7】標本化とビット列の周期を同期させたときの図6における各部の信号を示す図である。

【図8】標本化の頻度が入力されるビット列の頻度よりも高い場合の図6における各部の信号を示す図である。

【図9】従来技術の簡易的なビット誤り測定手段を示す図である。

【図10】従来技術の簡易的なビット誤り測定手段を示す図である。

10 【符号の説明】

1 : A/D変換手段

2 : ビタビ復号手段

3 : ビット誤り測定手段

4 : 同期信号発生手段

5 : 誤りを含まないビット列を記憶する手段

6 : 誤りを含まないビット列を生成する手段

7 : ビット誤り検出手段

8 : 計数手段

9 : 標本値の記憶手段

20 10 : 計算手段

11 : 符号化手段

12 : 簡易復号手段

A : ビタビ復号を必要とする入力信号

B : 同期信号

C : 標本化された信号

Ca : 標本化された信号

Cb : 標本化された信号

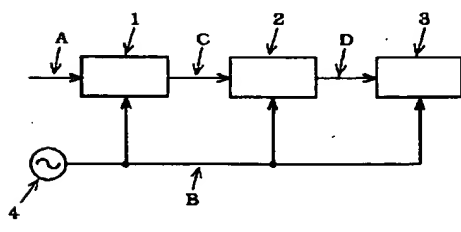
D : ビタビ復号されたビット列

E : 元のビット列

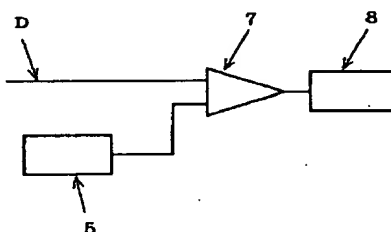
30 F : 2値信号でない標本

G : 2値信号でない標本

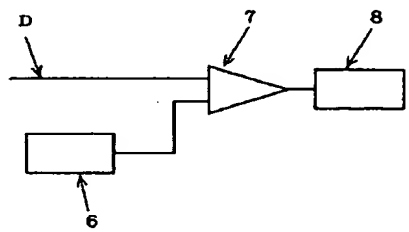
【図1】



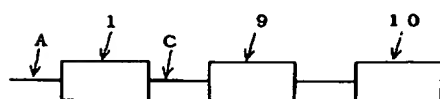
【図3】



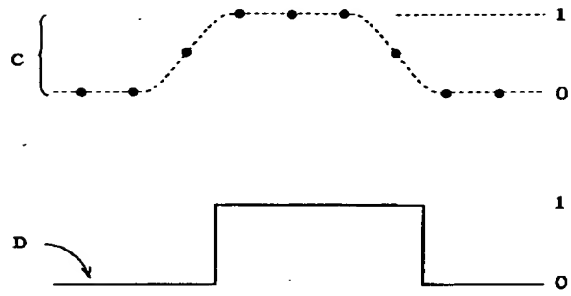
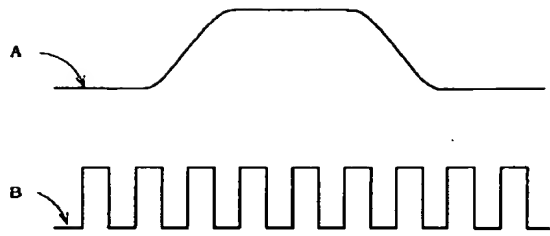
【図4】



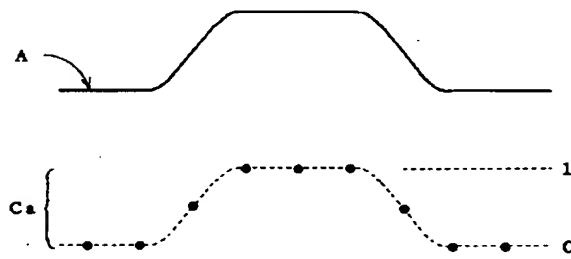
【図6】



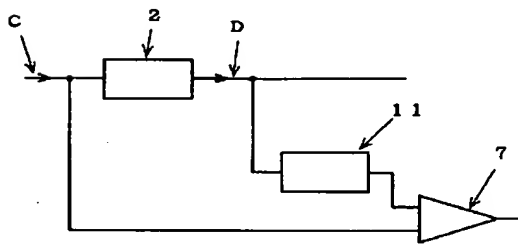
【図 2】



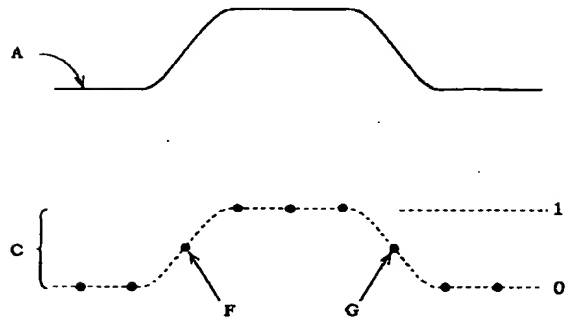
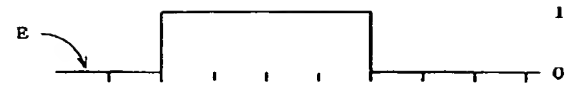
【図 7】



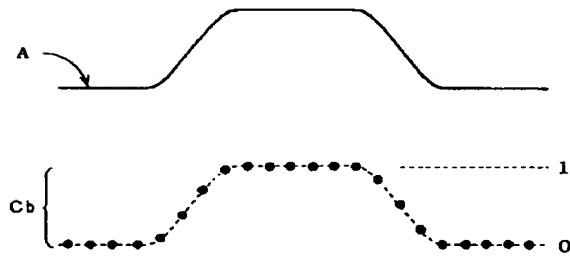
【図 9】



【図 5】



【図 8】



【図 10】

